

窒化ガリウムスパッタリングターゲットを用いた Si 基板上エピタキシャル成膜と評価

末	本	祐	也*1
上	岡	義	弘*1
겸	田	雅	実 ^{*1}
т •		0 4 11	a * ?
L 1 W	e n	SAN	Gʻ
L 1 W 長	e n 田	SAN 貴	G ⁻² 弘* ³
L1w 長 知	en 田 京	SAN 貴 豊	G ⁻² 弘 ^{*3} 裕 ^{*4}

Fabrication and Characterization of Epitaxial Film on Si Substrate with GaN Sputtering Target

Yuya SUEMOTO Yoshihiro UEOKA Masami MESUDA Liwen SANG Takahiro NAGATA Toyohiro CHIKYOW

Gallium nitride (GaN) films are a type of wide-bandgap semiconductor with expected applications to various energy-saving devices. In addition to the light-emitting diodes that have already been put into widespread practical use, there has been extensive study of their application to power conversion devices in recent years. The metalorganic chemical vapor deposition method widely used to grow GaN films is problematic in terms of issues such as raw material utilization efficiency, safety, and formation of large-area films, but these issues can potentially be resolved by using a sputtering method. Further, in "GaN on Si" applications, where a GaN film is formed on a silicon substrate, tensile stress generated during cooling after film formation can cause cracks to occur in the GaN film, but since the sputtering method allows control of internal film stresses according to the conditions in which the film is formed, applying compressive stress is expected to suppress cracking. In this study, we investigate GaN film formation on a silicon substrate using an independently developed high-purity GaN sputtering target, producing findings related to improved crystallinity of the sputtered GaN film and stress control. We furthermore fabricate a high-electron-mobility transistor using the sputtered GaN film and confirm that it operates normally.

1. 緒言

近年、SDGs(持続可能な開発目標)を実現するた めに、省エネルギー化に向けた様々な材料に関する研 究開発が行われている。その中で、当社では省エネル ギー材料として窒化ガリウム(GaN)に注目している。

^{*1} アドバンストマテリアル研究所 無機電子材グループ

^{*2} 国立研究開発法人物質・材料研究機構 国際ナノアーキテク トニクス研究拠点

^{*3} 国立研究開発法人物質・材料研究機構 機能性材料研究拠点 ナノ電子デバイス材料グループ

^{*4} 国立研究開発法人物質・材料研究機構 統合型材料開発・情 報基盤部門 デバイス材料設計グループ

GaN は青色発光ダイオードとして実用化されており、 電力損失の少ないパワーデバイスへの応用が期待され ている^[1-3]。GaN 膜の成膜に一般的に用いられている 有機金属気相成長法(MOCVD法)では、高結晶性 GaN 膜が得られているが、製造面において原料の利 用効率が低く、成膜基板の大面積化が困難である。さ らに、成膜において1000℃以上の高温が必要である ことから高 In 組成の InGaN の均一成膜が困難となり、 優れた緑色~赤色発光素子が得られない等の課題があ る。

また、パワーデバイスの用途において、安価な Si 基板への GaN ヘテロエピタキシャル成長が注目され ている。しかし、GaN と Si 基板との間には格子定数 および熱膨張係数に差がある(Table 1)^[4]ため引張 応力が付与されクラックが発生する等、GaN 薄膜の 品質を低下させる原因となっている。

引張応力の緩和技術として格子定数の異なる2種類 の材料を交互にコヒーレント成長した多層膜構造(歪 超格子層(Strained Layer Superlattice:SLS))^[5-8]が 知られているが、数µmの厚みが必要となり成膜コス ト増加の要因の一つとなっている。

一方、スパッタリング法では、成膜条件により薄膜 の内部応力を制御できるため^[9-10]、GaN 膜に圧縮応 力を付与することでクラックの抑制が期待できる。さ らに、MOCVD 法と比較して原料の利用効率が高く、 工業的に大面積成膜に用いられている。また、スパッ タされた粒子は高いエネルギーを有することから、 MOCVD 法と比較して低温で結晶性膜を成膜できるこ とが期待される。

スパッタ法を用いた GaN 膜に関する研究開発は、 金属ガリウム(Ga)をターゲットとした反応性スパッ タが知られている^[11-13]。金属Gaを用いた反応性スパッ タでは、金属Gaの融点(29.8℃)が低いため、スパッ タ中に金属Gaが融解し放電が不安定になる、Al等の 多くの金属と容易に低融点合金を生成するため取り扱 いが困難である等の課題があった。

そこで、当社では、GaN スパッタリングターゲット を独自に開発し、それを用いた GaN 膜の成膜に関す る研究を進めている^[14-17]。過去の報告にて、GaN ター ゲット中の酸素量を低減することでスパッタ GaN 薄膜の配向性が向上することを見出している^[18-19]。

本稿では、低酸素 GaN スパッタリングターゲット を用いた Si 基板上への GaN エピタキシャル成膜およ び評価(結晶性、応力制御)結果について報告する。 本技術は次世代省エネルギー材料として期待されてい る GaN を用いたデバイスの生産性向上に資するもの であり、GaN デバイスの社会実装を通じてエネルギー 利用効率を大幅に改善し、CO₂ 削減に貢献することを 目指す。

2. 実験

[1] GaN スパッタリングターゲットの作製

スパッタリングターゲット用 GaN 焼結体は、当社 独自の GaN 粉末合成技術および GaN 焼結技術を基に、 酸素含有量 0.4at%のスパッタリング用低酸素 GaN 焼 結体を作製した。その GaN 焼結体を所定の形状に加 工し、バッキングプレートにボンディングすることで GaN スパッタリングターゲットとした。Fig. 1 に開 発品 GaN 焼結体の外観を示す。

[2] 成膜方法

作製した 5inch ∮ GaN スパッタリングターゲットを 用いて、RF 方式にてスパッタ GaN 成膜を実施した。 Si (111) 基板を使用し、成膜直前に 5%フッ化水素 (HF)



Fig. 1 Appearance of GaN sputtering target $(6inch \phi)$

$\mathbf{T}_{\mathbf{A}}$	e constant and thermal expansion of GaN and Si
---------------------------	--

			GaN	Si(111)
lattice constant	а	[Å]	3.189	5.43
	с	[Å]	5.185	—
thermal expansion	in-plane	$[\times 10^6/\mathrm{K}]$	5.59	2.59
lattice mismatch GaN/Si(111)substrate		[%]	_	-16.9

水溶液に浸漬して表面酸化膜を除去した後、スパッタ 成膜を実施した。成膜条件は、印加電力、基板温度、 ガス種、ガス圧力等である。

[3] GaN 膜の評価

(1) GaN 膜の結晶性

結晶性を評価する為、ブルカー社製X線回折装置(D8 DISCOVER)を用いて結晶性を評価をした。結晶の単 ー性は2 θ/ω スキャンにより得られた回折ピークより 評価し、結晶配向性は(0002)面の ω スキャンによる ロッキングカーブ半値幅から評価した。

(2) 膜付き基板の曲率半径測定

膜付き基板の曲率半径測定には、ミットヨ社製表面 粗さ測定機(SURFTEST SV-3100)を用いて基板の表 面形状を測定後、得られた測定データについてミット ヨ社製輪郭粗さ解析プログラム(FORMTRACEPAC) を使用して曲率半径を算出した。

(3) GaN 膜の内部応力値の推定

Storny 式 [20-21] 1)を使用して、GaN 膜の内部応力 値 σ を算出した。

$$\sigma = \frac{\mathrm{E_{s}t_{s}}^{2}}{6(1-\nu_{s})\mathrm{Rt_{F}}}$$
 1)

上記1)式において、E_sは基板のヤング率、t_sは基 板の厚さ、 ν_s は基板のポアソン比、R は曲率半径、t_F は薄膜(積層膜)全体の厚さである。本稿における Si (111) 基板のヤング率は 169 GPa、ポアソン比は 0.26 とした^[22]。

(4) 膜の結晶相、極性確認

膜の結晶相および極性は、パスカル社製飛行時間型 原子散乱表面分析装置(TOFLAS-3000)を使用して 測定した。 測定結果から得られた極点図と表層4層までのシ ミュレーションで得られた各結晶相、極性の極点図と 比較することで、膜の結晶相(六方晶、立方晶)およ び極性(Ga 極性、N 極性)を判断した。

(5) 薄膜断面観察

薄膜の結晶格子の状態を確認する為、FIB 加工によ り薄膜の断面サンプルを作製し、TEM(透過型電子 顕微鏡)を利用し観察を行った。

(6) 薄膜と基板との界面の状態確認

薄膜と基板との界面付近の状態を確認するため、ア ルバック・ファイ社製 PHI5000 VersaProbe II を使用 して ESCA (X 線光電分光法)分析を行った。

[4] デバイス作製

スパッタ GaN 膜上に HEMT(高電子移動度トラン ジスタ)デバイスを作製した。 V_{gs} (ゲートーソース 電圧)、 I_d (ドレイン電流)、 V_{ds} (ドレインーソース電 圧)を測定し、 V_{gs} - I_d 測定(V_{ds} =1 V 固定)および V_{ds} - I_d 測定よりデバイス特性を確認した。

結果および考察

[1] Si 基板上スパッタクラックレス GaN 成膜

市販品の AlN/Si 基板上にスパッタリング GaN 膜 (SP-GaN)、および比較として MOCVD 法で成膜した GaN 膜(CVD-GaN)の光学顕微鏡像を Fig. 2 示す。

Fig. 2より、CVD 法の GaN と比較し、SP-GaN 膜 はクラックレスであり、スパッタ法により引張応力が 緩和されたと考えられる。詳細は [3] にて述べる。続 いて、成膜ガス圧 0.1 Pa および 1.5 Pa におけるスパッ タ GaN 膜 厚 と GaN (0002) XRC FWHM の 関係 を **Fig. 3**に示す。



Fig. 2 Optical microscope image of SP-GaN (a) and CVD-GaN (b)



Fig. 3 Relationship between SP-GaN film thickness and crystallinity in SP-GaN/AlN/Si (111)

Fig. 3より、低ガス圧で成膜することにより GaN (0002) XRC FWHM の値が小さい、つまり、高配向性な GaN 膜が得られた。これは、低ガス圧成膜ではスパッタ粒子の平均自由行程が増大し、より高いエネルギーを持って基板に到達し、基板上での粒子のマイグレーションが活性化したためと考えられる。また、GaN 膜厚の増加と GaN の配向性に大きな相関が見られないことから、スパッタ GaN 膜は結晶性を一定に保ちつつ膜厚を調整することが可能である。一方で、エピタキシャル成長では下地膜の配向性を引き継いで成長するため、スパッタ GaN 膜の配向性向上において、下地 AIN 膜の高結晶性化が重要と考えられる。

[2] Si 基板上スパッタ GaN/AIN 成膜

続いて、Si (111) 基板にスパッタ法で GaN および AIN (SP-AIN)を成膜した。

最初に、基板表面の影響を確認するため Si 基板の HF 洗浄効果を確認した。未洗浄の Si 基板および HF 洗浄した Si 基板上に AlN 膜をそれぞれスパッタ成膜 した際の SP-AlN/Si 界面の断面 TEM 像を Fig. 4 に 示す。

HF 未洗浄の Si 基板を利用した場合、界面に約2 nmのアモルファス層が存在しており、AlN 膜の格子 像は不明瞭であった(Fig. 4 (a))。一方、HF 洗浄 を実施した場合、界面のアモルファス層の厚さが約1 nm に減少し、AlN の格子像が明瞭化した(Fig. 4 (b))。 これは、HF 洗浄により Si 基板表面の酸化膜が除去さ れ、AlN 膜のエピタキシャル成長が促進されたためと 考えられる。また、残った約1nmのアモルファス層 は AlN 成膜の際に導入した窒素ガスにより基板表面 が窒化された可能性が考えられる。

そこで、さらなる AIN の結晶性向上のため、基板 表面の窒化抑制を目的に AIN/Si 界面への AI 膜の挿 入を検討した。Si 基板上へ AI、AIN および GaN のスパッ タ成膜を行った。作製したサンプルの構造および AIN または GaN の (0002) XRC FWHM を Fig. 5 に示す。

Fig. 5より、AlN/Si界面へのAl挿入により、AlN およびGaNの配向性が向上することを確認した。続 いて、GaN/AlN/Si構造およびGaN/AlN/Al/Si構 造の断面TEM 像を**Fig. 6**に示す。

Fig. 6(a)より、Si上に直接 AIN を成膜した場 合、AIN/Si界面に格子像が不明瞭なアモルファス層 が存在していた。一方、GaN/AIN/AI/Si 構造の断 面 TEM 像(**Fig. 6**(b))では、界面のアモルファス 層の形成が抑制されていた。さらに、界面の膜構造 の確認のため、ESCA分析によって得られた AIN/Si 界面および AIN/AI/Si 界面からの光電子の Binding Energy を **Fig. 7**に示す。

Fig. 7 (a) より、AIN/Si 界面では Si-O および Si-N に由来するピークが見られることから、界面のア モルファス層は SiOx または Si-N と考えられる。ま た、AIN/AI/Si 界面からの光電子の Binding Energy



Fig. 4 TEM image : without HF cleaning (a) and with HF cleaning (b)



Fig. 5 Sample structure and crystallinity of each sample



Fig. 6 TEM image : without Al layer (a) and with Al layer (b)



Fig. 7 Binding energy of AlN / Si interface : without Al layer (a) and with Al layer (b)

(Fig. 7 (b)) より、Si-O および Si-N に由来する ピークが抑制されていることから、AI 挿入によりア モルファス層の形成を抑制できることが明らかとなっ た。このことから、AI 挿入により Si 基板上のアモル ファス層の形成を抑制したことで、Si 基板の格子情報 が AIN に伝達され、AIN および GaN 膜がより高配向 化したと考えられる。

[3] Si 基板上 GaN の応力制御

(1) スパッタ条件と GaN 薄膜の内部応力の関係

市販品の AIN/Si 基板上にスパッタ GaN 膜を成膜 し、成膜前後の曲率半径から膜にかかる内部応力値を 算出、比較することでスパッタ GaN 膜に付与された 圧縮応力値を推算した。

最初に、成膜ガス圧を変化させた場合の GaN 膜1 nm あたりの圧縮応力付与量を Fig. 8 に示す。



Fig. 8 Relationship between sputtering gas pressure and compressive stress applied per 1 nm of GaN

Fig. 8より成膜時のガス圧が低いほど圧縮応力付与 量が大きい傾向がみられた。このことから、SP-GaN 成膜条件により圧縮応力付与量の変化が確認された。 スパッタ法による薄膜の圧縮応力の発生機構について は、atomic peening effect が知られている^[23]。これは、 反跳粒子が高い運動エネルギーを持って成長表面に衝 突することで、膜表面原子の押し込みにより圧縮応力 が発生すると考えられている。

本結果について考察すると、成膜時のガス圧が低 いほど粒子の平均自由工程が長くなり、基板到達時 の粒子の運動エネルギーが大きくなった結果、atomic peenig effect が増大し、GaN 膜中の圧縮応力付与量が 増加したと考えられる。

続いて、同一スパッタ条件において GaN 膜厚を変



Fig. 9 Relationship between SP-GaN film thickness and compressive stress applied by SP-GaN film

化させた場合の GaN 膜の圧縮応力付与量を Fig. 9 に 示す。GaN 成膜時のガス圧は 0.1 Pa および 1.5 Pa と した。

Fig. 9より、GaN 膜の膜厚の増加に伴い GaN 膜の 圧縮応力付与量が増加することが確認された。この結 果から、スパッタ GaN 成膜では、GaN 膜厚を制御す ることで圧縮応力付与量を調節し、薄膜の内部応力を 制御可能であると考えられる。

(2) 圧縮応力 GaN/Si の作製

Si 基板上にスパッタ法にて 100nm の AlN および GaN を成膜し、薄膜の応力値と SP-GaN 膜厚との関 係を Fig.10 に示す。

Fig.10より、SP-GaN 膜厚約 100 nm 以上にて、 GaN 膜の内部応力が圧縮応力に制御された GaN/AIN /Si 基板の作製に成功した。また、GaN 膜厚を増加さ せることで、スパッタ膜の圧縮応力値が増加すること を確認した。以上より、スパッタ GaN 膜は SLS 構造 に代わる新たな応力制御層としての応用が期待され る。

[4] GaN on Si デバイス動作確認

デバイス作製に使用した GaN の TOFLAS 極点図を Fig.11 に示す。

Fig.11 より TOFLAS 極点図像が見えることから回 転対称性が良好な Ga 極性の GaN 膜と判断できる。前 記基板上に作成した HEMT デバイスの構造を Fig.12、 V_{gs} - I_d 測定結果並びに、 V_{ds} - I_d 測定結果を Fig.13 に示 す。



Fig.10 Relationship between SP-GaN film thickness and compressive stress value of the film in SP-GaN/ SP-AlN/Si(111)

Fig.13 より、スパッタ GaN 薄膜を使用したデバイ スが動作することが確認された。以上より、GaN on Si デバイスの下地膜としてスパッタ GaN 膜の応用が 期待される。



(a)GaN thin film





(b) Ga polarity (simulation)

(c)N polarity (simulation)

Fig.11 Polarity evaluation of GaN thin film used for device fabrication (TOFLAS image)



Fig.12 device structure

4. 結言

我々は、独自に開発した GaN スパッタリングター ゲットを用いて、Si 基板上へのスパッタリング GaN 成膜に関する検討を実施した。Si 基板上へのスパッタ GaN 成膜では、AlN バッファ層成膜時に AlN/Si 基板 界面に形成されるアモルファス層を抑制することで、 GaN 膜の結晶配向性を向上させることが可能となっ た。また、ガス圧および GaN 膜厚を制御することで GaN 膜の内部応力(圧縮応力)を制御できることを 見出した。さらに、Si 基板上のスパッタ GaN 膜上に HEMT デバイスを作製し、動作することを確認した。 GaN スパッタリングターゲットを用いた薄膜作製技 術は、スパッタ法の特徴をいかすことで、GaN テン プレート基板への適用が期待される。

5. 謝辞

本研究において、産業技術総合研究所 清水三聡氏 には、MOCVD 成膜および HEMT デバイスの作製に おいて多大なご協力をしていただきました。この場を 借りて深く御礼申し上げます。

6. 参考文献

- [1] 大橋弘通、応用物理、73、1571(2004)
- [2] T. Minami *et al., The 60th JSAP Spring Meeting*, (2013)
- [3] M. Hikita *et al., Panasonic Technical Journal*, **55**, 91(2009)
- [4]名古屋工業大学 極微デバイス機能システム研究センター、極微デバイス機能システム研究センター報告書、6、1-122(2009)



Fig.13 I-V characteristics of SP-GaN transistors

- [5] 矢野良樹 他、大陽日酸技報、32、27-28(2013)
- [6] 生方映徳 他、大陽日酸技報、30、23-28(2011)
- [7]名古屋工業大学 極微デバイス次世代材料研究 センター、極微デバイス次世代材料研究センター 報告書、2、1-71(2017)
- [8] K. Matsumoto *et al., J. Vac. Soc. Jpn.*, **54**(6), 376 (2011)
- [9]入戸野修他、日本金属学会会報、29、235 (1990)
- [10] 馬来国弼、表面技術、43(7)、635(1992)
- [11] T. Miyazaki et al., J. Appl. Phys.,89,8316(2001)
- [12] Z. S. Schiaber *et al., J. Appl. Phys.*,**114**, 183515 (2013)
- [13] Y. Daigo et al., Thin solid Films, 483, 38(2005)
- [14] M. Mesuda et al., The 15th IUMRS International Conference in Asia (2014)
- [15] M. Mesuda *et al., The 76th JSAP Autumn Meeting*, (2015)
- [16] M. Mesuda et al., ICCGE-18, (2016)
- [17] Y. Tsuchida et al., International Workshop on Nitride Semiconductors 2018, (2018)
- [18] M. Mesuda et al., TOSOH Research & Technology Review, 61, 43(2017)
- [19] 上岡義弘他、金属、90(10)、57(2020)
- [20] 山寺秀哉、豊田中央研究所 R&D レビュー、34、 19(1999)
- [21] 橋本真希 他、日本金属学会誌、80(10)、663 (2016)
- [22] V. A. Sethuraman *et al., Electrochemistry* Communications, 12, 1614 (2010)
- [23] 馬来国弼、応用物理、57、1856(1988)